

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PTO 04-474 HAMT

102(b)
Japanese Patent
Document No. 06-060667

SEMICONDUCTOR MEMORY DEVICE
[半導体記憶装置]

Yoshino Teruo & Yasunori Arime

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. 11/2003

Translated by: Schreiber Translations, Inc.

Bibliographic Fields

Document Identity

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 6 - 60667

(43) [Publication Date of Unexamined Application]

March 4th 1994

(43) [Publication Date of Unexamined Application]

March 4th 1994

(54) [Title of Invention]

SEMICONDUCTOR MEMORY DEVICE

(51) [International Patent Classification, 5th Edition]

G11C 1 1/4 1

[FI]

G11C 1 1/4 0 A 674 1- 5L

[Number of Claims]

1

[Number of Pages in Document]

5

[Request for Examination]

Not yet requested

(21) [Application Number]

Japan Patent Application Hei 4 - 214097

(22) [Application Date]

August 11th 1992

(71) [Applicant]

[Identification Number]

3078

[Name]

~~TOSHIBA CORPORATION~~ (DB 69-054-3517)

[Address]

Kanagawa Prefecture Kawasaki City Saiwai-ku Horikawa-cho 72

(71) [Applicant]

[Identification Number]

221199

[Name]

TOSHIBA MICROELECTRONICS KK

[Address]

Kanagawa Prefecture Kawasaki City Kawasaki-ku Ekimae Honmachi 2 5 1

(72) [Inventor]

[Name]

Yoshino Teruo

[Address]

Kanagawa Prefecture Kawasaki City Kawasaki-ku Ekimae Honmachi 2 5 1 Toshiba
microelectronics KK

(72) [Inventor]

[Name]

Yasunori Arime

[Address]

Kanagawa Prefecture Kawasaki City Kawasaki-ku Ekimae Honmachi 2 5 1 Toshiba
microelectronics KK

(74) [Attorney(s) Representing All Applicants]

[Patent Attorney]

[Name]

Suzue Takehiko

(57) [Abstract]

[Objective]

To broaden the application of SRAM such that it will automatically initialize the data memory as desired, right after the power input of SRAM and that will allow the usual access after the initialization is over (after the power input)

[Configuration]

A semiconductor memory device that bears an array of SRAM cell characterized by the fact that at least a part of SRAM cell in the cell array has been using flip-flop circuit comprised of 2 inverters that mutually have operational characteristics.

[Claim(s)]

[Claim 1]

A semiconductor memory device characterized by the fact that it bears a memory cell array wherein a flip-flop circuit comprised by the cross connection of input output node of the 2 inverters and between the pair of memory node and the pair of bit line of this flip-flop circuit

each has been connected, is comprised of transistor for a pair of transmission gate that has been connected to the respective gate and at least a part of memory cell in aforementioned memory cell array has been using flip-flop circuit comprised of 2 inverters that mutually have operational characteristics.

[Detail Description of the Invention]

[0001]

[Field of Industrial Application]

This invention pertains to a semiconductor memory device and to the memory cell structure of static type random access memory (SRAM), in particular.

[0002]

[Prior Art]

Figure 5 is a circuit diagram showing the memory cell of SRAM.

[0003]

This SRAM cell is comprised of flip-flop circuit 10 that is configured such that input output node of 2 inverters 11, 12 are cross connected and of transistor 13, 14 for the pair of transmission gate connected respectively between the pair of memory node (DN1, DN2) of this flip-flop circuit and the pair of bit line (BL, /BL) and each gate of transistor 13,14 for this pair of transmission gate has been connected to the word line WL.

[0004]

In addition, as for aforementioned inverters 11,12 both enhancement type MOS transistor to drive and E/R type inverter comprised of high resistant element for load or CMOS inverter that is comprised of complimentary MOS transistor could be used.

Figure 6 is a circuit diagram showing E/R type flip-flop circuit using 2 E/R type inverters.

Here, T is NMOS transistor to drive, R is load resistant, DN1 is the first memory node, DN2 is the second memory node.

Figure 7 is a half view showing an example of the configuration of the SRAM cell that has used E/R type flip-flop circuit of figure 6.

[0005]

Here, 71 is a impurity diffusion zone of the superficial semiconductor base and forms the areas such as a drain area of MOS transistor, source area, the area of source hardware (ground potential)

72 is polysilicon wiring of the first layer and forms the gate pole of MOS transistor.

73 is a polysilicon wiring for the second layer and forms high resistant element and electric supply wiring (Power potential VDD) etc.

74 is a contact domain.

[0006]

Until recently, in SRAM cell, 2 E/R type inverters were designed such that respective load resistance size, size of transistor and parasitic capacitance etc are will be equal in order to achieve uniform operational characteristics.

[0007]

However, in conventional SRAM to the point of power input data memory content of SRAM cell is inconsistent.

Consequently, since an operation to write the desired memory data on all SRAM cells is required in order to initialize memory data in the case of using SRAM, application of SRAM is restricted on a large scale.

[0008]

[Problems to be Solved by the Invention]

In case of using conventional SRAM to initialize memory data as described above, since an operation to write the desired memory data on all SRAM cells was required application was restricted on large scale.

[0009]

As this invention is to solve all aforementioned problems it is possible to automatically initialize memory data in desired manner right after power input, furthermore, aims at providing the semiconductor memory device with a broad application wherein after the initialization is over, (power input) usual access is possible.

[0010]

[Means to Solve the Problems]

This invention pertaining to the semiconductor memory device possessing SRAM cell array is

characterized by the fact that at least a part of SRAM cell in the cell array has been using flip-flop circuit comprised of 2 inverters that mutually have operational characteristics.

[0011]

[Embodiment]

In the instance of producing SRAM automatic initialization of memory data in desired manner of aforementioned SRAM cell right after power input could be possible by producing 2 inverters in SRAM cell which is the object of memory data initialization, with different operational characteristics wherein memory data right after power input will be "1" or "0"

[0012]

In this case, as a degree of differentiating operational characteristics of the two inverters, usual access after initialization is over becomes possible and the operation as normal SRAM is possible by controlling at the minimum within the scope that allows initialization.

[0013]

[Embodiment(s)]

Below, an embodiment of this invention will be explained with reference to the drawings.

Figure 1 is showing an example of pattern structure of SRAM cell pertaining to the first embodiment of this invention.

[0014]

In this SRAM, SRAM cells that have been arranged in linear format as shown in figure 5, are comprised of a flip-flop circuit that comprises the cross connection of input output node of the 2 inverters and between the pair of memory node and the pair of bit line of this flip-flop circuit each has been connected, and is comprised of transistor for a pair of transmission gate that has been connected to the respective gates.

[0015]

Regarding the pattern of SRAM cell showed in figure 1, D1 and S1 are drain area and source area of the first NMOS transistor to drive and D2 and S2 are drain area and source area of the second NMOS transistor to drive

D3 and S3 are drain area and source area of the third NMOS transistor for transmission gate and D4 and S4 are drain area and source area of the fourth NMOS transistor for the transmission gates.

Each of these areas, are comprised of impurity diffusion layer of superficial semiconductor

base and the source area S1 and S2 are formed by connecting source wiring that is comprised of the diffusion layer.

[0016]

G1 and G2 are correspondingly gate poles of aforementioned first and second drive transistor gates, G3 is a gate pole of transistor for aforementioned pair of transmission gate, these are comprised of polysilicon hardware of first layer

[0017]

The Gate pole G1 of aforementioned first drive transistor has been connected to drain area D2 of the second drive transistor via contact area CT2 and diffusion layer wiring 2.

[0018]

The Gate pole G2 of aforementioned second drive transistor has been connected to drain area D1 of the first drive transistor via contact area CT2, polysilicon wiring 3 of the second layer and contact area CT 5

R1 and R2 are first and second resistant element for the load, 4 is power supply wiring (power supply potential VCC), these are comprised of polysilicon wiring of the second layer.

[0019]

One edge of aforementioned resistant element R1 is continuous to power supply hardware 4, another edge has been connected to contact area CT1 (first memory node DN1)

As for aforementioned second resistance device R2, one end is connected in power supply wiring 4, other end is connected to contact domain CT 2 (second storage node DN2).

[0020]

Drain area D3 of the transistor for aforementioned transmission gate is connected to the first memory node Dn1 and its source area S3 has been connected to other bit line BL (not shown in the diagram) via contact area CT3

Also, drain area D3 of the transistor for aforementioned transmission gate is connected to the first memory node Dn1 and its source area S3 has been connected to other bit line BL (not shown in the diagram) via contact area CT3

[0021]

In SRAM of aforementioned embodiment at least a part of memory cell pertaining to memory cell array, uses the flip-flop circuit that is comprised of 2 inverters that have different mutual operational characteristics.

[0022]

Due to different operational characteristics of the two inverters, in this embodiment, resistant value of the first resistant element R1 is formed bigger ($R1 > R2$) than the resistant value of the second resistant element and two transistors T1 and T2 for drive are formed of the same size.

[0023]

As a concrete example of configuration to realize aforementioned $R1 > R2$, pattern length 'a' of the second resistant element R2 is same as that of the first resistant element R1, but the pattern length 'b' of the second resistant element R2 is formed thicker than that of first resistant element R1.

[0024]

The manufacturing of a glass mask to be used in the process of forming polysilicon wiring of the second layer, forming it in this way, can be realized by using pattern data (program data) such that will create the pattern width of the second resistant element R2 thicker than that of the first resistant element R1 only in the area shown in 'A' of figure 1.

Figure 2 is a circuit diagram excluding the E/R type flip-flop circuit in the SRAM cell of figure 1.

Here, T1, T2 are NMOS transistors for drive, R1, R2 are load resistant, DN1 is the first memory node and DN2 is the second memory node.

Figure 3 is a feature diagram showing an operation of memory data initialization right after the power input of SRAM cell of figure 1.

[0025]

Namely, since R1 is bigger than R2 ($R1 > R2$) at the time of power input, the electric potential of the second memory node DN2 boots quickly and the first drive transistor T1 turns on and, the second drive transistor turns off.

With this, first memory node DN1 becomes level 'L' and the second memory node DN2 becomes level 'H', and memory data 1 gets initialized.

Furthermore R1 is in contrast to above-mentioned example,

[0026]

According to SRAM that possesses SRAM cell array as described above, since it becomes possible to automatically initialize the memory data right after the power input in the desired manner, the entire initialization operation of writing desired memory data on SRAM cell

becomes unnecessary.

[0027]

In addition, by controlling the difference of operational characteristics of the two inverters within the scope enabling the initialization as an extent, after the initialization is over (after the power input) usual access becomes possible and the operation, as a usual SRAM is possible.

Hence, SRAM of aforementioned embodiment, can be entitled as a mask RAM enabling reading and writing in response to the read-only mask ROM

Furthermore, as an example of modification in order to have the difference in operational characteristics of the two inverters, the driving efficiency of the two drive transistors could be made different.

Figure 4 shows another example of configuring SRAM cell pattern pertaining to this invention.

[0028]

In this example, driving efficiency gm_1 of the first drive transistor T1 is formed to be bigger than driving efficiency gm_2 of the second drive transistor T2 and two resistant elements R1 and R2 are formed of the same size.

Furthermore, in figure 4, identical numbers are given to the identical parts in figure 1.

[0029]

The manufacturing of a glass mask to be used in the process of forming diffusion layer, forming in this way can be realized by using pattern data (program data) such that will create the channel width W1 of the first drive transistor thicker than that of the second drive transistor only in the area shown in 'B' of figure 1.

[0030]

Since in SRAM cell of figure 4, gm_1 is bigger than gm_2 ($gm_1 > gm_2$) at the time of power input, memory data 1 is initialized,

Gm 1 is in contrast to above-mentioned example

[0031]

Moreover, as an example of modification in order to have the difference in operational characteristics of the two inverters, the gate capacity could be formed of the value that differs mutually between the first memory node DN1 and the second memory node DN2, the two

resistant elements R1 and R2 could be formed of the same size and the two drive transistors T1 and T2 could be formed of the same size.

[0032]

Further, in aforementioned embodiment SRAM is shown as an integrated semiconductor but this invention does not limit itself to this and SRAM could be generally applied to semiconductor integrated circuit mounted on other circuit and similar chip.

[0033]

[Effects of the Invention]

According to this invention, as has been described above, since it is possible to automatically initialize the memory data right after the power input of SRAM, for example, by initializing initialization program, initialization numerical constant etc. the operation of loading initialization program, initialization numerical constant right after the power input is not required.

And after the initialization (power input) is over, usual access becomes possible and the application of SRAM can be broaden.

[Brief Explanation of the Drawing(s)]

[Figure 1]

Upper surface view that shows an example of pattern configuration of SRAM cell in SRAM pertaining to the first embodiment.

[Figure 2]

A circuit diagram excluding E/R type flip-flop circuit in SRAM cell of figure 1

[Figure 3]

Feature diagram showing the operation of initializing memory data right after the power input of SRAM cell of figure 1.

[Figure 4]

Upper surface view that shows another example of configuring the pattern of SRAM cell pertaining to this invention.

[Figure 5]

A circuit diagram showing general configuration of SRAM cell

[Figure 6]

A circuit diagram showing E/R type flip-flop circuit pertaining to conventional SRAM cell

[Figure 7]

An upper surface view showing the pattern configuration corresponding to the SRAM cell of figure 6.

[Explanation of Symbols in Drawings]

1

Source wiring

2

Diffusion layer wiring

3

Polysilicon wiring of second layer

4

Power supply wiring

DN1

Memory node

DN2

Memory node

T1

Drive transistor, R1, R2

T1

Load resistance, D1

T1

Drain area, S1 of drive transistor T1

T1

Drain area, D2 of drive transistor T1

T1

Drain area, S2 of drive transistor T2

T1

Drain area of drive transistor T2

T2

Drive transistor, R1, R2

T2

Load resistance, D1

T2

Drain area, S1 of drive transistor T1

T2

Drain area, D2 of drive transistor T1

T2

Drain area, S2 of drive transistor T2
T2
Drain area of drive transistor T2

[Figure 1]

[Figure 2]

[Figure 3]

[Figure 5]

[Figure 6]

[Figure 4]

[Figure 7]

102(b)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-60667

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.⁵
G11C 11/41

識別記号 庁内整理番号
6741-5L

FI
G11C 11/40

技術表示箇所
A

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平4-214097

(22)出願日 平成4年(1992)8月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 吉野 輝夫

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72)発明者 有銘 泰則

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

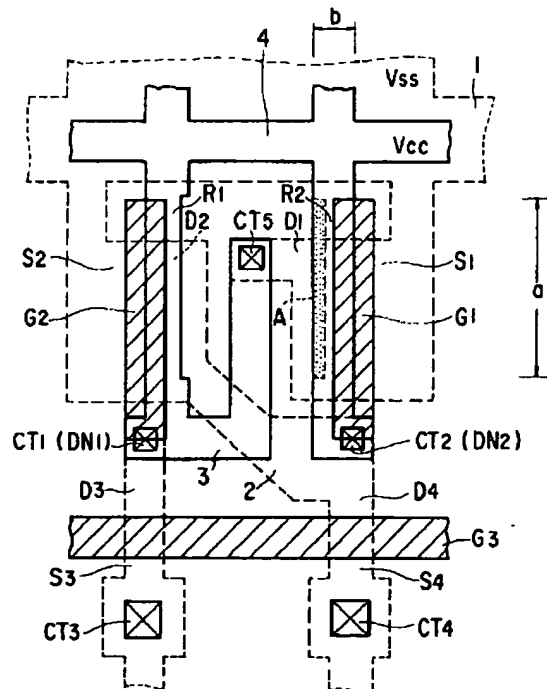
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】SRAMの電源投入直後における記憶データを所望通り自動的に初期設定し、初期設定終了後(電源投入後)は、通常通りアクセスできるようにし、SRAMの用途を拡大する。

【構成】SRAMセルのアレイを有する半導体記憶装置において、セルアレイにおける少なくとも一部のSRAMセルは、互いに動作特性が異なる2個のインバータからなるフリップフロップ回路が用いられていることを特徴とする。



【特許請求の範囲】

【請求項1】 2個のインバータの入出力ノードが交差接続されてなるフリップフロップ回路およびこのフリップフロップ回路の一对の記憶ノードと一对のビット線との間にそれぞれ接続され、それぞれのゲートがワード線に接続されている一对の転送ゲート用トランジスタとからなるメモリセルのアレイを有し、

上記メモリセルアレイにおける少なくとも一部のメモリセルは、互いに動作特性が異なる2個のインバータからなるフリップフロップ回路が用いられていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特にスタティック型ランダムアクセスメモリ（SRAM）のメモリセルの構造に関する。

【0002】

【従来の技術】図5は、SRAMのメモリセルを示す回路図である。

【0003】このSRAMセルは、2個のインバータ11、12の入出力ノードが交差接続されてなるフリップフロップ回路10と、このフリップフロップ回路10の一对の記憶ノード（DN1、DN2）と一对のビット線（BL、/BL）との間にそれぞれ接続されている一对の転送ゲート用トランジスタ13、14とからなり、この一对の転送ゲート用トランジスタ13、14の各ゲートはワード線WLに接続されている。

【0004】なお、上記インバータ11、12は、駆動用のエンハンスメント型のMOSTランジスタと負荷用の高抵抗素子とからなるE/R型インバータとか、相補的なMOSTランジスタからなるCMOSインバータが用いられる。図6は、2個のE/R型インバータを用いたE/R型フリップフロップ回路を示す回路図である。ここで、Tは駆動用のNMOSTランジスタ、Rは負荷抵抗、DN1は第1の記憶ノード、DN2は第2の記憶ノードである。図7は、図6のE/R型フリップフロップ回路を用いたSRAMセルのパターン構成の一例を示す平面図である。

【0005】ここで、71は半導体基板表層部の不純物拡散層であり、MOSTランジスタのドレイン領域、ソース領域、ソース配線（接地電位VSS）などの領域を形成している。72は第1層目のポリシリコン配線であり、MOSTランジスタのゲート電極を形成している。73は第2層目のポリシリコン配線であり、高抵抗素子、電源配線（電源電位VDD）などを形成している。74はコンタクト領域である。

【0006】従来のSRAMセルでは、2個のE/R型インバータは同じ動作特性が得られるように、それぞれの負荷抵抗のサイズ、トランジスタのサイズ、寄生容量などが同一になるように設計されている。

【0007】ところで、従来のSRAMは、電源投入時点において、SRAMセルのデータ記憶内容は不定である。そこで、SRAMの使用に際して記憶データの初期設定を行う場合には、全てのSRAMセルに所望の記憶データを書き込む操作を必要とするので、SRAMの用途が大きく制限されることになる。

【0008】

【発明が解決しようとする課題】上記したように従来のSRAMは、使用に際して記憶データの初期設定を行う場合には、全てのSRAMセルに所望の記憶データを書き込む操作を必要とし、用途が大きく制限されるという問題があった。

【0009】本発明は上記の問題点を解決すべくなされたもので、SRAMの電源投入直後における記憶データを所望通り自動的に初期設定することが可能になり、しかも、初期設定終了後（電源投入後）は、通常通りアクセスすることが可能になり、用途を拡大し得る半導体記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、SRAMセルのアレイを有する半導体記憶装置において、セルアレイにおける少なくとも一部のSRAMセルは、互いに動作特性が異なる2個のインバータからなるフリップフロップ回路が用いられていることを特徴とする。

【0011】

【作用】SRAMの製造に際して、記憶データ初期設定の対象となるSRAMセルにおける2個のインバータの動作特性を、電源投入直後における記憶データが“1”あるいは“0”となるように異ならせて製造することにより、電源投入直後における上記SRAMセルの記憶データを所望通り自動的に初期設定できるようになる。

【0012】この場合、2個のインバータの動作特性を異ならせる程度として、初期設定できる範囲内で最小限に抑制することにより、初期設定終了後（電源投入後）は、通常通りアクセスが可能になり、通常のSRAMとして動作が可能になる。

【0013】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の一実施例に係るSRAMにおけるSRAMセルのパターン構成の一例を示している。

【0014】このSRAMにおいて、行列状に配列されるSRAMセルは、図5に示したように、2個のインバータの入出力ノードが交差接続されてなるフリップフロップ回路およびこのフリップフロップ回路の一对の記憶ノードと一对のビット線との間にそれぞれ接続され、それぞれのゲートがワード線に接続されている一对の転送ゲート用トランジスタとからなる。

【0015】図1に示すSRAMセルのパターンにおいて、D1およびS1は駆動用の第1のNMOSTランジ

3

スタのドレイン領域およびソース領域、D2およびS2は駆動用の第2のNMOSTランジスタのドレイン領域およびソース領域である。D3およびS3は転送ゲート用の第3のNMOSTランジスタのドレイン領域およびソース領域、D4およびS4は転送ゲート用の第4のNMOSTランジスタのドレイン領域およびソース領域である。これらの各領域は、半導体基板表層部の不純物拡散層からなり、ソース領域S1およびS2は拡散層からなるソース配線（接地電位 V_{ss} ）1に連なって形成されている。

【0016】G1およびG2は対応して上記第1の駆動用トランジスタおよび第2の駆動用トランジスタのゲート電極、G3は上記一対の転送ゲート用トランジスタのゲート電極であり、これらは第1層目のポリシリコン配線からなる。

【0017】上記第1の駆動用トランジスタのゲート電極G1は、コンタクト領域CT2および拡散層配線2を介して第2の駆動用トランジスタのドレイン領域D2に接続されている。

【0018】上記第2の駆動用トランジスタのゲート電極G2は、コンタクト領域CT1および第2層目のポリシリコン配線3およびコンタクト領域CT5を介して第1の駆動用トランジスタのドレイン領域D1に接続されている。R1およびR2は負荷用の第1の抵抗素子および第2の抵抗素子、4は電源配線（電源電位 V_{CC} ）であり、これらは第2層目のポリシリコン配線からなる。

【0019】上記第1の抵抗素子R1は、一端が電源配線4に連なり、他端がコンタクト領域CT1（第1の記憶ノードDN1）に接続されている。前記第2の抵抗素子R2は、一端が電源配線4に連なり、他端がコンタクト領域CT2（第2の記憶ノードDN2）に接続されている。

【0020】前記転送ゲート用トランジスタのドレイン領域D3は、第1の記憶ノードDN1に接続されており、そのソース領域S3はコンタクト領域CT3を介して一方のビット線BL（図示せず）に接続されている。また、前記転送ゲート用トランジスタのドレイン領域D4は、第2の記憶ノードDN2に接続されており、そのソース領域S4は、コンタクト領域CT4を介して他方のビット線/BL（図示せず）に接続されている。

【0021】上記実施例のSRAMにおいて、メモリセルアレイにおける少なくとも一部（本例では全て）のメモリセルは、互いに動作特性が異なる2個のインバータからなるフリップフロップ回路が用いられている。

【0022】上記2個のインバータの動作特性を異ならせるために、本実施例では、第1の抵抗素子R1の抵抗値が第2の抵抗素子R2の抵抗値よりも大きく（ $R1 > R2$ ）なるように形成し、2個の駆動用トランジスタT1およびT2を同じサイズで形成している。

【0023】上記 $R1 > R2$ を実現するための具体的な

4

構成例として、第2の抵抗素子R2のパターン長さaは第1の抵抗素子R1のそれと同じであるが、第2の抵抗素子R2のパターン幅bは第1の抵抗素子R1のそれよりも太く形成されている。

【0024】このように形成するためには、第2層目のポリシリコン配線の形成工程で使用されるガラスマスクの制作に際して、第2の抵抗素子R2のパターン幅を図1中にAで示す領域分だけ第1の抵抗素子R1のパターン幅よりも太く作成するようなパターンデータ（プログラムデータ）を用いることにより実現できる。図2は、図1のSRAMセルにおけるE/R型フリップフロップ回路を取り出して示す回路図である。ここで、T1、T2は駆動用のNMOSTランジスタ、R1、R2は負荷抵抗、DN1は第1の記憶ノード、DN2は第2の記憶ノードである。図3は、図1のSRAMセルの電源投入直後に記憶データが初期設定される動作を示す特性図である。

【0025】即ち、 $R1 > R2$ であるので、電源投入時に第2の記憶ノードDN2は第1の記憶ノードDN1よりも電位が早く立ち上がり、第1の駆動用トランジスタT1がオン、第2の駆動用トランジスタT2がオフ状態になる。これにより、第1の記憶ノードDN1が“L”レベル、第2の記憶ノードDN2が“H”レベルの状態になり、記憶データ“1”が初期設定されることになる。なお、上記例とは逆に、 $R1 < R2$ となるように形成しておけば、記憶データ“0”が初期設定されることになる。

【0026】上記したようなSRAMセルのアレイを有するSRAMによれば、電源投入直後における記憶データを所望通り自動的に初期設定することが可能になるので、全てのSRAMセルに所望の記憶データを書き込む初期設定操作が不要になる。

【0027】また、2個のインバータの動作特性を異ならせる程度として、初期設定できる範囲内で最小限に抑制することにより、初期設定終了後（電源投入後）は、通常通りアクセスが可能になり、通常のSRAMとして動作が可能になる。従って、上記実施例のSRAMは、読み出し専用のマスクROMに対応して、読み出し/書き込みが可能なマスクRAMと称することができる。なお、前記2個のインバータの動作特性を異ならせるための変形例として、2個の駆動用トランジスタの駆動能力を異ならせるようにしてもよい。図4は、本発明におけるSRAMセルのパターン構成の他の例を示す。

【0028】この例では、第1の駆動用トランジスタT1の駆動能力 g_{m1} が第2の駆動用トランジスタT2の駆動能力 g_{m2} よりも大きくなるように形成され、2個の抵抗素子R1およびR2は同じサイズで形成されている。なお、図4において、図1中と同一部分には同一符号を付している。

【0029】このように形成するためには、拡散層の形

5

成工程で使用するガラスマスクの制作に際して、第1の駆動用トランジスタのチャネル幅 W_1 を図4中にBで示す領域分だけ第2の駆動用トランジスタのチャネル幅 W_2 よりも太く作成するようなパターンデータ（プログラムデータ）を用いることにより実現できる。

【0030】図4のSRAMセルは、 $g_{m1} > g_{m2}$ であるので、電源投入時に記憶データ“1”が初期設定されることになる。上記例とは逆に、 $g_{m1} < g_{m2}$ となるように形成しておけば、記憶データ“0”が初期設定されることになる。

【0031】さらに、前記2個のインバータの動作特性を異ならせるための他の変形例として、第1の記憶ノードDN1および第2の記憶ノードDN2に互いに異なる値のゲート容量を形成し、2個の抵抗素子R1およびR2を同じサイズで形成し、2個の駆動用トランジスタT1およびT2を同じサイズで形成してもよい。

【0032】なお、上記実施例は、SRAM集積回路を示したが、本発明はこれに限らず、SRAMを他の回路と同一チップ上に搭載した半導体集積回路に一般的に適用することが可能である。

【0033】

【発明の効果】上述したように本発明によれば、SRAMの電源投入直後における記憶データを所望通り自動的に初期設定することができるので、例えば初期プログラム、初期定数などを初期設定することにより、電源投入直後に初期プログラム、初期定数などをロードする操作

6

を不要となる。しかも、初期設定終了後（電源投入後）は、通常通りアクセスすることが可能になり、SRAMの用途を拡大することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るSRAMにおけるSRAMセルのパターン構成の一例を示す平面図。

【図2】図1のSRAMセルにおけるE/R型フリップフロップ回路を取り出して示す回路図。

【図3】図1のSRAMセルの電源投入直後に記憶データが初期設定される動作を示す特性図。

【図4】本発明におけるSRAMセルのパターン構成の他の例を示す平面図。

【図5】SRAMセルの一般的な構成を示す回路図。

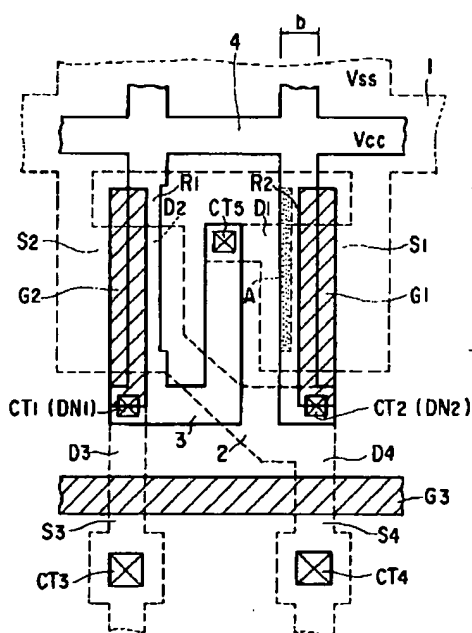
【図6】従来のSRAMセルにおけるE/R型フリップフロップ回路を示す回路図。

【図7】図6のSRAMセルに対応するパターン構成を示す平面図。

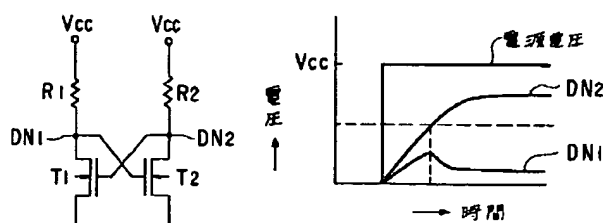
【符号の説明】

T1、T2…駆動用トランジスタ、R1、R2…負荷抵抗、D1…駆動用トランジスタT1のドレイン領域、S1…駆動用トランジスタT1のドレイン領域、D2…駆動用トランジスタT2のドレイン領域、S2…駆動用トランジスタT2のドレイン領域、1…ソース配線、2…拡散層配線、3…第2層目のポリシリコン配線、4…電源配線、DN1、DN2…記憶ノード。

【図1】

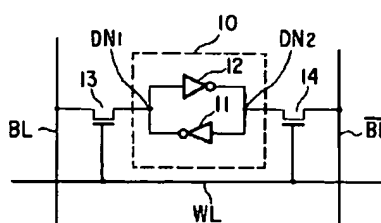


【図2】

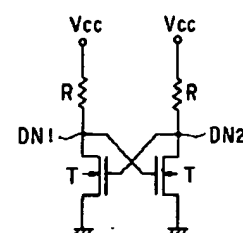


【図3】

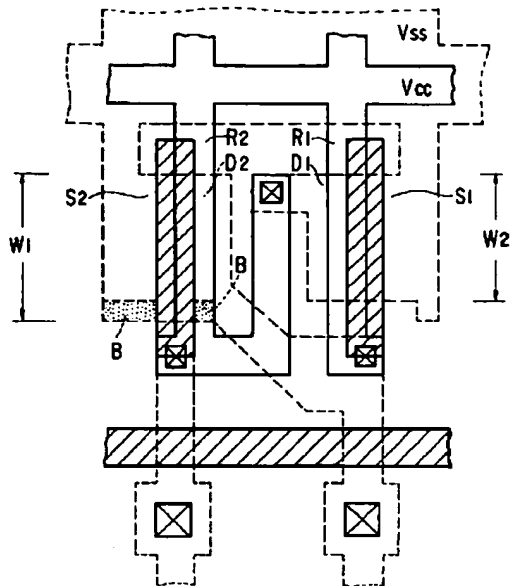
【図5】



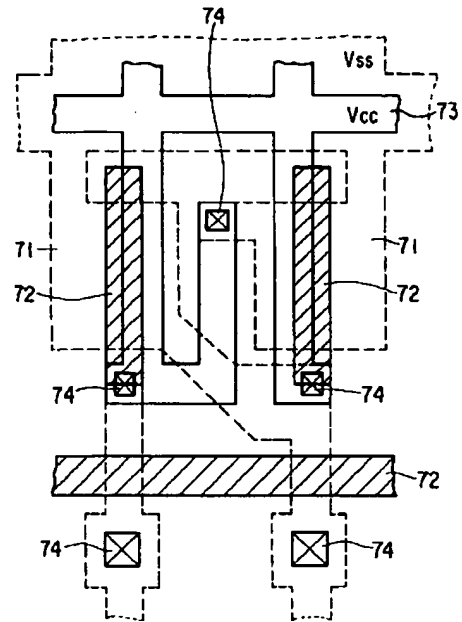
【図6】



【図4】



【図7】



PAT-NO: JP406060667A
DOCUMENT-IDENTIFIER: JP 06060667 A
TITLE: SEMICONDUCTOR STORAGE DEVICE
PUBN-DATE: March 4, 1994

INVENTOR-INFORMATION:
NAME
YOSHINO, TERUO
ARIME, YASUNORI

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
TOSHIBA CORP	N/A
TOSHIBA MICRO ELECTRON KK	N/A

APPL-NO: JP04214097

APPL-DATE: August 11, 1992

INT-CL (IPC): G11C011/41

US-CL-CURRENT: 365/174

ABSTRACT:

PURPOSE: To automatically initialize stored data immediately after turning on the power of SRAM in order to extend application by forming a flip-flop circuit with two inverters in different operation characteristics in a SRAM.

CONSTITUTION: If the resistance of a resistance element R_1 > the resistance of a resistance element R_2 , a voltage rises faster than storage nodes DN1, DN2 when the power switch is turned on. Thereby, a driving transistor (Tr) T1

turns on and the transistor T2 also turns on. Thereby, the node DL1 becomes L level, node DL2 becomes H level and the stored data '1' is initialized.

Moreover, on the contrary, when $R1 < R2$, the stored data '0' is initialized.

As explained above, by using a SRAM having an array of SRAM, the stored data can be initialized automatically as desired after the power is turned on, making unnecessary the initialization for writing the desired data in all the SRAMs.

COPYRIGHT: (C)1994,JPO&Japio